

Method for making a relief structure on a substrate from semiconductor material.

Publication number: EP0660140 (A1)

Publication date: 1995-06-28

Inventor(s): BRUEL MICHEL [FR] +

Applicant(s): COMMISSARIAT ENERGIE ATOMIQUE [FR] +

Classification:

- **international:** C30B33/00; G02B5/00; G02B5/18; G02B6/134; H01L21/02; H01L21/265; H01L21/762; H01L27/12; (IPC1-7): G02B5/18; G02B6/12

- **European:** G02B5/18M2; G02B5/18Z; G02B5/18Z3A; G02B6/134J; H01L21/762D8B

Application number: EP19940402969 19941221

Priority number(s): FR19930015563 19931223

Also published as:

EP0660140 (B1)
US5494835 (A)
JP7215800 (A)
FR2714524 (A1)
DE69423309 (T2)

Cited documents:

EP0533551 (A1)
US4717683 (A)
GB2211991 (A)

Abstract of EP 0660140 (A1)

The invention relates to a method of producing a relief structure on a substrate (support) made of semiconductor material, consisting in subjecting a wafer (1) of this semiconductor material, having a plane face (2), to the following three steps: - a first step of implantation, by bombarding the plane face (2) of the wafer (1) by means of ions (3), creating areas of gas microbubbles (4, 7) within the volume of the wafer, each area being located, with respect to the plane face, at a depth depending on the ion-implantation energy received by this area so that all the implanted areas define a profile within the volume of the wafer, this profile delimiting, on the side containing the plane face, an upper region of the wafer constituting a thin film and, on the side opposite the plane face, a lower region constituting the bulk of the substrate; - a second step in which a stiffener, consisting of at least one layer of rigid material, is securely attached to the plane face of the said wafer; - a third step in which the assembly formed by the wafer and the stiffener is heat treated at a temperature sufficient to create a separation (12) between the thin film and the bulk of the substrate along the profile, the separation giving rise to a relief structure on the thin film and a reverse relief structure on the substrate.

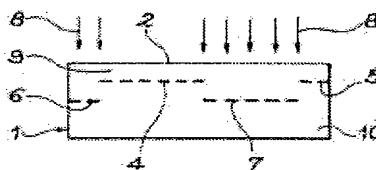


FIG. 2

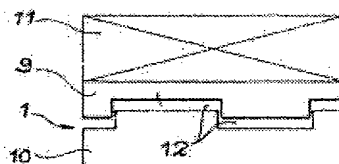


FIG. 4



(12) **DEMANDE DE BREVET EUROPEEN**

(21) Numéro de dépôt : **94402969.3**

(51) Int. Cl.⁶ : **G02B 5/18, G02B 6/12**

(22) Date de dépôt : **21.12.94**

(30) Priorité : **23.12.93 FR 9315563**

(43) Date de publication de la demande :
28.06.95 Bulletin 95/26

(84) Etats contractants désignés :
DE GB IT

(71) Demandeur : **COMMISSARIAT A L'ENERGIE
ATOMIQUE**
31-33, rue de la Fédération
F-75015 Paris (FR)

(72) Inventeur : **Bruel, Michel**
Presvert no 9
F-38113 Veurey (FR)

(74) Mandataire : **Dubois-Chabert, Guy et al**
c/o BREVATOME
25, rue de Ponthieu
F-75008 Paris (FR)

(54) **Procédé de réalisation d'une structure en relief sur un support en matériau semi-conducteur.**

(57) L'invention concerne un procédé de réalisation d'une structure en relief sur un support en matériau semiconducteur, consistant à soumettre une plaquette (1) de ce matériau semiconducteur comportant une face plane (2) aux trois étapes suivantes :

— une première étape d'implantation par bombardement de la face plane (2) de la plaquette (1) au moyen d'ions (3), créant des zones de microbulles gazeuses (4,7) dans le volume de la plaquette, chaque zone étant située par rapport à la face plane à une profondeur dépendant de l'énergie d'implantation des ions reçue par cette zone pour que l'ensemble des zones implantées définisse un profil dans le volume de la plaquette, ce profil délimitant, du côté de la face plane, une région supérieure de la plaquette constituant un film mince et, du côté opposé à la face plane, une région inférieure constituant la masse du substrat,

— une deuxième étape de solidarisation de la face plane de ladite plaquette avec un raidisseur constitué d'au moins une couche de matériau rigide ;

— une troisième étape de traitement thermique de l'ensemble constitué par la plaquette et le raidisseur à une température suffisante pour créer une séparation (12) entre le film mince et la masse du substrat le long du profil, la séparation procurant une structure en relief sur le film mince et une structure en relief inversé sur le substrat.

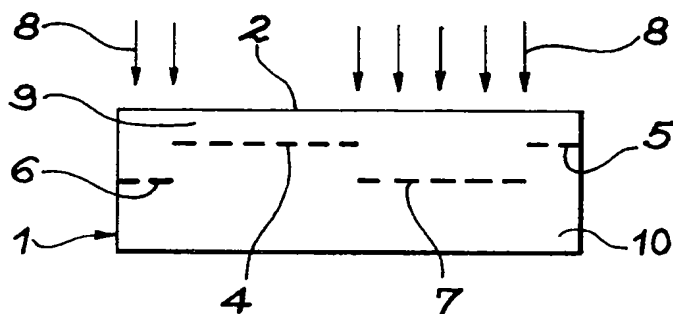


FIG. 2

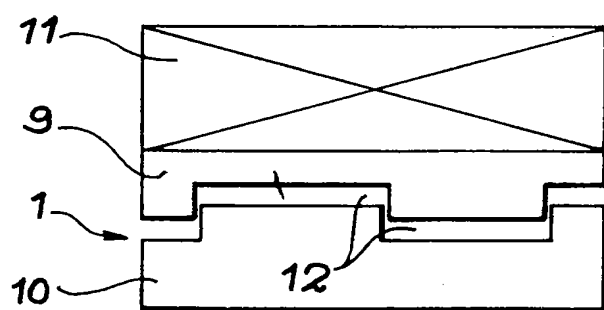


FIG. 4

La présente invention concerne un procédé de réalisation d'une structure en relief sur un support en matériau semiconducteur. Ce procédé permet en particulier de réaliser avantageusement des dispositifs pour l'optique binaire sur un support en matériau semiconducteur, notamment en silicium.

Les principes de base de l'optique binaire sont simples et s'appliquent aussi bien à une optique en réflexion qu'à une optique en réfraction. Ces principes ont été rappelés dans l'article "Binary Optics" de W.B. VELDKAMP et T.J. McHUGH, paru dans la revue Scientific American de Mai 1992.

Une des structures les plus simples que l'on puisse réaliser en optique binaire est le prisme qui se présente comme une série de micro-marches d'escalier taillées dans la surface du matériau. Quand un front d'onde arrive à la surface, cette onde est séparée en fronts d'ondes secondaires (selon le principe de Huygens-Fresnel). Chaque front d'onde secondaire est retardé en proportion de la hauteur de la marche en ce point c'est-à-dire du supplément de chemin optique traversé. Quand ces fronts d'onde interfèrent entre eux, ils produisent un nouveau front d'onde se propageant avec un certain angle par rapport à la direction du front d'onde incident.

Dans l'approche optique binaire, il suffit d'une épaisseur de matériau de l'ordre du μm (correspondant à la longueur d'onde λ d'un faisceau lumineux incident) pour obtenir l'effet de déflexion alors qu'en approche conventionnelle, il aurait fallu une pièce en verre de plusieurs millimètres d'épaisseur.

La réalisation de dispositifs d'optique binaire requiert donc de savoir réaliser localement à la surface d'un matériau des zones en sur-épaisseur ou sous-épaisseur (la sur-épaisseur ou la sous-épaisseur devant être obtenue précisément car correspondant à une fraction de la longueur d'onde d'utilisation du dispositif). La localisation de ces zones est dépendante de la fonction optique à réaliser. Dans une même optique, on peut trouver plusieurs gammes de sur-épaisseurs (ou sous-épaisseurs) par exemple correspondant à des différences de marche de $\lambda/8$, $\lambda/4$, $3\lambda/8$, $\lambda/2$, etc.

Classiquement, pour réaliser un tel dispositif d'optique binaire, on utilise les techniques de dépôt en couche mince, lorsque l'on veut faire une réalisation en relief, associée à des techniques de lithographie et de gravure pour la localisation des zones en sur-épaisseur. Lorsque l'on veut faire une réalisation en creux, on utilise les techniques de lithographie pour la localisation et de gravure (sèche par exemple).

Ces procédés de fabrication selon l'art connu présentent des inconvénients relatifs au contrôle et à la reproductibilité des épaisseurs des zones, et relatifs également à la complexité des opérations nécessaires pour réaliser plusieurs gammes d'épaisseurs.

En ce qui concerne le contrôle et la reproducti-

lité des épaisseurs, le résultat obtenu est lié à une cinétique de réaction et au temps d'application de la réaction. Généralement, on règle les paramètres du procédé et on l'applique pendant une durée prévue. On n'a en général pas d'indicateur, pendant l'application du procédé, de l'épaisseur (ou profondeur) courante réalisée. L'incertitude sur le résultat peut être grande.

Pour réaliser plusieurs gammes d'épaisseurs, on constate que, quand le procédé est appliqué pour réaliser une gamme d'épaisseur dans une zone donnée, les autres zones doivent être protégées de l'application du procédé. Ceci induit une complexité au niveau de la lithographie ainsi que des problèmes de frontière entre zones dues à des alignements imparfaits.

On connaît d'autre part, par le document FR-A-2 681 472, un procédé de fabrication de films minces de matériau semiconducteur comprenant trois étapes. Dans une première étape, on crée par implantation ionique une couche de microbulles gazeuses sous une face d'une plaquette de matériau semiconducteur. Dans une seconde étape, la face de la plaquette est rendue solidaire d'un raidisseur. Dans une troisième étape, l'ensemble constitué par la plaquette et le raidisseur est soumis à une température suffisante pour créer, par effet de réarrangement cristallin dans la plaquette et de pression dans les microbulles, un clivage de la plaquette au niveau de la couche de microbulles. On obtient ainsi un film mince adhérent au raidisseur.

La présente invention propose un nouveau procédé de réalisation d'une structure en relief sur un support en matériau semiconducteur qui met en oeuvre une technique dérivée de l'enseignement du document FR-A-2 681 472. Ce nouveau procédé permet ainsi de remédier aux inconvénients des procédés de fabrication selon l'art connu.

L'invention a donc pour objet un procédé de réalisation d'une structure en relief sur un support en matériau semiconducteur, caractérisé en ce qu'il consiste à soumettre une plaquette de ce matériau semiconducteur comportant une face plane dont le plan est soit sensiblement parallèle à un plan cristallographique principal dans le cas où le matériau semiconducteur est monocristallin, soit faiblement incliné par rapport à un plan cristallographique de mêmes indices pour tous les grains dans le cas où le matériau est polycristallin, aux trois étapes suivantes :

- une première étape d'implantation par bombardement de la face plane de ladite plaquette au moyen d'ions, créant des zones de microbulles gazeuses, l'ensemble des zones définissant un profil dans le volume de ladite plaquette, chaque zone étant située par rapport à ladite face plane à une profondeur dépendant de l'énergie d'implantation des ions reçue par la surface de la face en regard de cette zone et étant de même géométrie que cette surface,

ce profil délimitant, du côté de la face plane, une région supérieure de la plaquette constituant un film mince et, du côté opposé à la face plane, une région inférieure constituant la masse du substrat, les ions étant choisis parmi les ions de gaz rares ou de gaz hydrogène et la température de la plaquette pendant l'implantation étant maintenue au-dessous de la température à laquelle le gaz engendré par les ions implantés peut s'échapper du semiconducteur par diffusion ;

- une deuxième étape de solidarisation de la face plane de ladite plaquette avec un raidisseur constitué d'au moins une couche de matériau rigide ;
- une troisième étape de traitement thermique de l'ensemble constitué par la plaquette et le raidisseur à une température suffisante pour créer une séparation entre le film mince et la masse du substrat le long dudit profil, la séparation procurant une structure en relief sur le film mince et une structure en relief inversé sur le substrat.

Lors de la première étape, les zones de microbulles gazeuses d'énergies d'implantation différentes peuvent être obtenues par des étapes d'implantation successives.

Lors de la première étape, toutes les zones de microbulles gazeuses peuvent être créées simultanément grâce à un écran disposé sur le trajet des ions, cet écran étant apte à être traversé par les ions tout en atténuant leurs énergies et ayant une épaisseur variant localement selon un motif correspondant aux zones de microbulles à créer pour laisser passer l'énergie d'implantation nécessaire pour chaque zone.

En vue d'obtenir un profil de structure déterminé, on peut réaliser d'abord une structure en relief approchant par excès ledit profil déterminé, puis procéder à une quatrième étape consistant à polir la structure approchante jusqu'à atteindre le profil déterminé.

En vue d'obtenir un profil de structure déterminé, on peut réaliser d'abord une structure en relief approchant par défaut ledit profil déterminé, puis procéder à une quatrième étape consistant à combler la structure approchante jusqu'à atteindre le profil déterminé.

Le semiconducteur peut être du silicium, les ions implantés des ions de gaz hydrogène ou d'hélium, la température d'implantation comprise entre 20°C et 400°C et la température de la troisième étape de traitement thermique supérieure à 450°C.

L'invention sera mieux comprise et d'autres avantages et particularités apparaîtront à la lecture de la description qui va suivre, donnée à titre d'exemple non limitatif, accompagnée des dessins annexés parmi lesquels :

- les figures 1 à 4 illustrent un premier mode

d'application du procédé de réalisation d'une structure en relief selon l'invention,

- les figures 5 à 7 illustrent un deuxième mode d'application du procédé de réalisation d'une structure en relief selon l'invention,
- la figure 8 représente une vue partielle en perspective d'un dispositif d'optique binaire réalisé par le procédé selon l'invention,
- les figures 9 et 10 illustrent une autre réalisation obtenue par le procédé selon l'invention.

A la figure 1, on a représenté une plaquette 1 en matériau semiconducteur par exemple en silicium monocristallin. Cette plaquette est vue de côté. Elle comporte une face plane supérieure 2 à travers laquelle on va réaliser par implantation des zones de microbulles gazeuses dans son volume. On suppose qu'on veuille y implanter deux zones correspondant à un premier niveau d'énergie des ions et deux zones correspondant à un deuxième niveau d'énergie des ions, ce deuxième niveau d'énergie étant plus élevé que le premier.

Les ions utilisés pour l'implantation par bombardement sont par exemple des ions H^+ , mais on peut également utiliser des ions moléculaires d'hydrogène ou des ions de gaz rares tels que l'hélium, le néon, le krypton et le xénon, utilisés isolément ou en combinaison. L'objet de la présente invention s'applique particulièrement bien aux semiconducteurs du groupe IV, par exemple le silicium, le germanium, le carbure de silicium, les alliages silicium-germanium.

On trouvera dans le document FR-A-2 681 472, déjà cité, des explications concernant l'implantation d'ions H^+ dans une plaquette de silicium monocristallin.

Sur la figure 1, l'implantation d'ions référencés de manière générale 3 provoque, pour une énergie d'implantation donnée, deux zones de microbulles gazeuses 4 et 5 situées à une même profondeur de la face plane 2 de la plaquette 1. On peut implanter chaque zone 4 ou 5 successivement ou simultanément en disposant un masque sur le parcours du faisceau d'ions.

De la même façon, comme cela est illustré à la figure 2, on plante les zones 6 et 7 situées plus profondément dans la plaquette 1, par des ions d'énergie supérieure référencés de manière générale 8. Dans le cas présent, les zones 6 et 7 rejoignent les zones 4 et 5 si on projette toutes ces zones sur la face plane 2.

La localisation de l'implantation à des zones bien déterminées peut être réalisée grâce à des techniques connues, par exemple en utilisant une implantation au travers d'un masque de résine obtenu par photolithographie ou l'implantation au travers d'un masque métallique présentant des ouvertures.

L'ensemble des zones implantées constitue un profil délimitant une région supérieure 9 et une région inférieure 10 dans le volume de la plaquette.

La figure 3 montre la plaquette semiconductrice 1, obtenue à l'issue de la première étape, rendue solidaire d'un raidisseur 11 par sa face plane 2. Le raidisseur peut être fixé à la plaquette semiconductrice par collage grâce à une substance adhérent à la fois au raidisseur et à la plaquette. Mais de façon préférentielle, le raidisseur est solidaire de la plaquette par l'intermédiaire de liaisons inter-atomiques comme décrit dans les documents FR-A-2 681 472 ou EP-A-0 533 551. Le raidisseur doit en tout cas pouvoir supporter le traitement thermique de la troisième étape sans risquer de se dégrader, tout en restant solidaire de la plaquette.

Le traitement thermique doit être réalisé à une température telle que le réarrangement cristallin et la coalescence des bulles puissent effectivement avoir lieu. Dans le cas d'une plaquette en silicium, une température supérieure à environ 450°C est nécessaire pour que la séparation puisse avoir lieu.

La figure 4 montre le résultat obtenu après le traitement thermique. Les régions supérieure 9 et inférieure 10 sont maintenant séparées par l'espace 12, à l'endroit des zones implantées et des zones de liaison entre ces zones. La fracture aux zones de liaison est due à la fragilisation induite entre deux plans de clivage relativement proches.

Les figures 5 à 7 illustrent un deuxième mode de réalisation de l'invention qui utilise un écran.

La plaquette 20 en matériau semiconducteur, par exemple en silicium monocristallin, comporte une face plane supérieure 21 à travers laquelle on va réaliser l'implantation qui va créer des zones de microbulles gazeuses dans son volume. L'implantation se fait en plaçant sur le trajet des ions, portant la référence générale 22, un écran 23 apte à être traversé par les ions mais dont l'épaisseur affecte l'énergie des ions. Plus l'écran est épais, plus l'énergie des ions sera réduite. Cet écran peut être réalisé en silicium par exemple ou en SiC.

L'écran 23 comporte, dans l'exemple représenté à la figure 5, trois épaisseurs différentes : les régions 24, 25 et 26 sont de même épaisseur, la région 27 est un peu plus épaisse et la région 28 encore un peu plus épaisse. Sur cet écran est réalisé en relief la structure que l'on veut obtenir dans la plaquette.

Le bombardement ionique, par exemple par des ions H^+ d'énergie choisie, se fait sur toute la surface de la face plane 21, au travers de l'écran 23. Les ions pénètrent plus ou moins profondément dans la plaquette 20, en fonction de l'épaisseur de l'écran traversée. Ils provoquent un profil continu 29 de microbulles gazeuses délimitant une région supérieure 30 et une région inférieure 31 dans le volume de la plaquette.

Cette variante de réalisation est particulièrement intéressante car, une fois l'écran réalisé, il n'y a plus de problème de positionnement des différentes zones entre elles. Une seule implantation suffit et

l'écran peut être utilisé plusieurs fois.

La suite des étapes est identique au premier mode d'application du procédé. La figure 6 représente la deuxième étape du procédé : un raidisseur 32 est solidarisé sur la face plane 21 de la plaquette 20. La figure 7 montre le résultat obtenu après le traitement thermique. Les régions supérieure 30 et inférieure 31 sont maintenant séparées par l'espace 33 à l'endroit des zones implantées et des zones de liaison, fracturées comme dans le premier mode décrit précédemment.

On obtient finalement une structure en relief sur le film mince adhérent au raidisseur et une structure de relief inversé sur le reste de la plaquette, c'est-à-dire sur un substrat semiconducteur.

Les structures ainsi obtenues peuvent comporter des variations de niveaux de l'ordre de quelques fractions de μm à quelques dizaines de μm . Les structures ainsi obtenues peuvent trouver une application dans le domaine de l'optique binaire et également servir de moule pour la réalisation d'un dispositif d'optique en polymère.

La figure 8 illustre un exemple d'application de l'invention. Il s'agit d'un prisme pour l'optique binaire. Le prisme 40 est de forme cylindrique. Sa face supérieure possède une structure en relief obtenue selon le procédé de l'invention. Le prisme 40 est par exemple constitué par la masse d'un substrat après enlèvement du film supérieur solidarisé au raidisseur. La structure est, dans le cas représenté, constituée d'un trou borgne central 41 et d'anneaux concentriques 42, 43 et 44 de hauteurs différentes.

Les figures 9 et 10 sont des vues en coupe qui illustrent une application de l'invention dans un domaine différent de l'optique binaire. Il s'agit d'obtenir un moule pour la réalisation d'un élément d'optique classique mais de taille réduite, par exemple une lentille en polymère.

On réalise, par le procédé de l'invention, une structure en relief 51 sur un support 50 en matériau semiconducteur, ce support étant constitué soit par un film adhérent à un raidisseur soit par le reste de la plaquette de semiconducteur utilisé. La structure 51 consiste en une approximation d'une cuvette 52 à obtenir. L'approximation est obtenue par une forme en escalier donnée à la structure.

La forme finale du moule est obtenue par utilisation d'un dépôt lissant 53 de silicium par exemple (voir la figure 10).

Une autre façon de faire consiste à réaliser la structure en relief en approchant le profil de la cuvette à obtenir mais sans l'atteindre, puis à polir finement la structure jusqu'à atteindre le profil voulu.

Par le procédé de l'invention, on peut obtenir par exemple une cuvette de 40 μm de diamètre pour 4 μm de profondeur maximale. L'invention est particulièrement intéressante pour obtenir des formes peu profondes, c'est-à-dire où le rapport h/l est faible. En ef-

fet, ces formes sont difficiles à réaliser par d'autres techniques.

L'élément optique à élaborer à partir d'un tel moule peut être alors obtenu par dépôt ou application sous pression d'une couche de polymère sur le moule.

Revendications

1. Procédé de réalisation d'une structure en relief sur un support en matériau semiconducteur, caractérisé en ce qu'il consiste à soumettre une plaquette de ce matériau semiconducteur (1, 20) comportant une face plane (2, 21) dont le plan est soit sensiblement parallèle à un plan cristallographique principal dans le cas où le matériau semiconducteur est monocristallin, soit faiblement incliné par rapport à un plan cristallographique de mêmes indices pour tous les grains dans le cas où le matériau est polycristallin, aux trois étapes suivantes :

- une première étape d'implantation par bombardement de la face plane de ladite plaquette au moyen d'ions (3, 8, 22), créant des zones de microbulles gazeuses (4 à 7, 29), l'ensemble des zones définissant un profil dans le volume de ladite plaquette, chaque zone étant située par rapport à ladite face plane à une profondeur dépendant de l'énergie d'implantation des ions reçue par la surface de la face en regard de cette zone et étant de même géométrie que cette surface, ce profil délimitant, du côté de la face plane, une région supérieure (9, 30) de la plaquette constituant un film mince et, du côté opposé à la face plane, une région inférieure (10, 31) constituant la masse du substrat, les ions étant choisis parmi les ions de gaz rares ou de gaz hydrogène et la température de la plaquette pendant l'implantation étant maintenue au-dessous de la température à laquelle le gaz engendré par les ions implantés peut s'échapper du semiconducteur par diffusion ;
- une deuxième étape de solidarisation de la face plane (2, 21) de ladite plaquette avec un raidisseur (11, 32) constitué d'au moins une couche de matériau rigide ;
- une troisième étape de traitement thermique de l'ensemble constitué par la plaquette et le raidisseur à une température suffisante pour créer une séparation entre le film mince et la masse du substrat le long dudit profil, la séparation procurant une structure en relief sur le film mince et une structure en relief inversé sur le substrat.

2. Procédé selon la revendication 1, caractérisé en ce que, lors de la première étape, les zones (4 à 7) de microbulles gazeuses d'énergies d'implantation différentes sont obtenues par des étapes d'implantation successives.

3. Procédé selon la revendication 1, caractérisé en ce que, lors de la première étape, toutes les zones de microbulles gazeuses sont créées simultanément grâce à un écran (23) disposé sur le trajet des ions (22), l'écran étant apte à être traversé par les ions tout en atténuant leurs énergies et ayant une épaisseur variant localement selon un motif correspondant aux zones de microbulles à créer pour laisser passer l'énergie d'implantation nécessaire pour chaque zone.

4. Procédé selon l'une quelconque des revendications 1 à 3, caractérisé en ce que, en vue d'obtenir un profil de structure déterminé, on réalise d'abord une structure en relief approchant par excès ledit profil déterminé, puis on procède à une quatrième étape consistant à polir la structure approchante jusqu'à atteindre le profil déterminé.

5. Procédé selon l'une quelconque des revendications 1 à 3, caractérisé en ce que, en vue d'obtenir un profil de structure déterminé, on réalise d'abord une structure en relief (51) approchant par défaut ledit profil déterminé (52), puis on procède à une quatrième étape consistant à combler la structure approchante jusqu'à atteindre le profil déterminé.

6. Procédé selon l'une quelconque des revendications 1 à 5, caractérisé en ce que le semiconducteur est le silicium, les ions implantés sont des ions de gaz hydrogène ou d'hélium, la température d'implantation est comprise entre 20°C et 400°C et la température de la troisième étape de traitement thermique est supérieure à 450°C.

7. Procédé selon l'une quelconque des revendications 1 à 6, caractérisé en ce que le raidisseur (11, 32) est collé à ladite plaquette (1, 20) au moyen d'une substance adhésive.

8. Procédé selon l'une quelconque des revendications 1 à 6, caractérisé en ce que le raidisseur (11, 32) est solidaire de ladite plaquette (1, 20) par l'intermédiaire de liaisons inter-atomiques.

9. Application du procédé selon l'une quelconque des revendications 1 à 8 à la réalisation de dispositifs pour l'optique binaire.

10. Application du procédé selon l'une quelconque

des revendications 1 à 8 à la réalisation de moules pour confectionner des dispositifs de taille réduite en polymère.

5

10

15

20

25

30

35

40

45

50

55

7

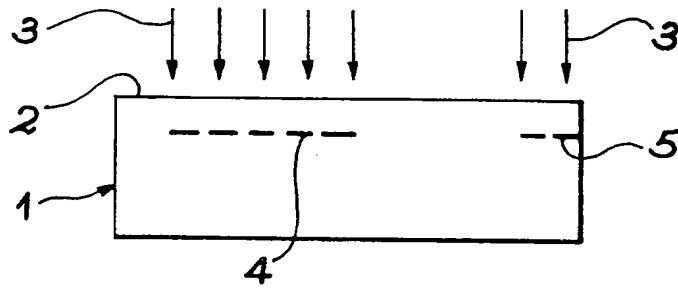


FIG. 1

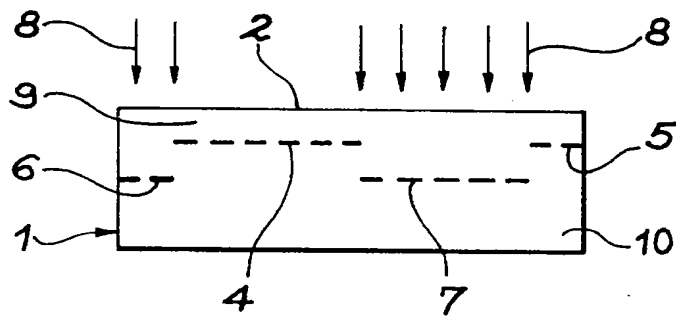


FIG. 2

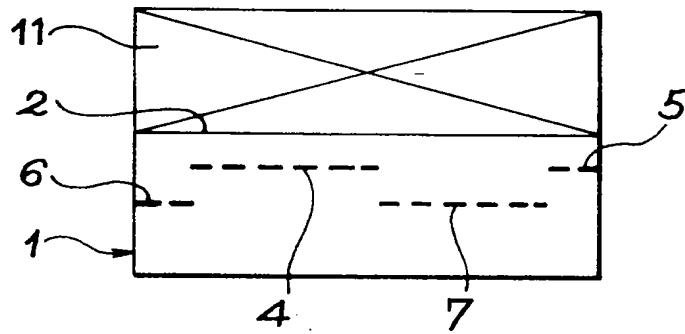


FIG. 3

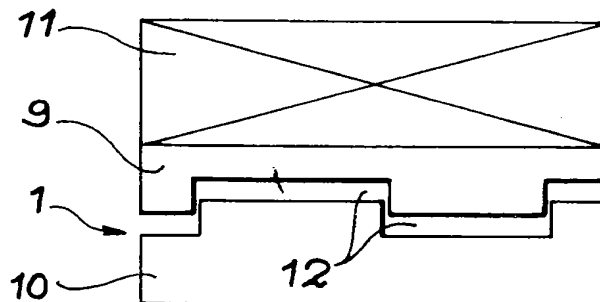


FIG. 4

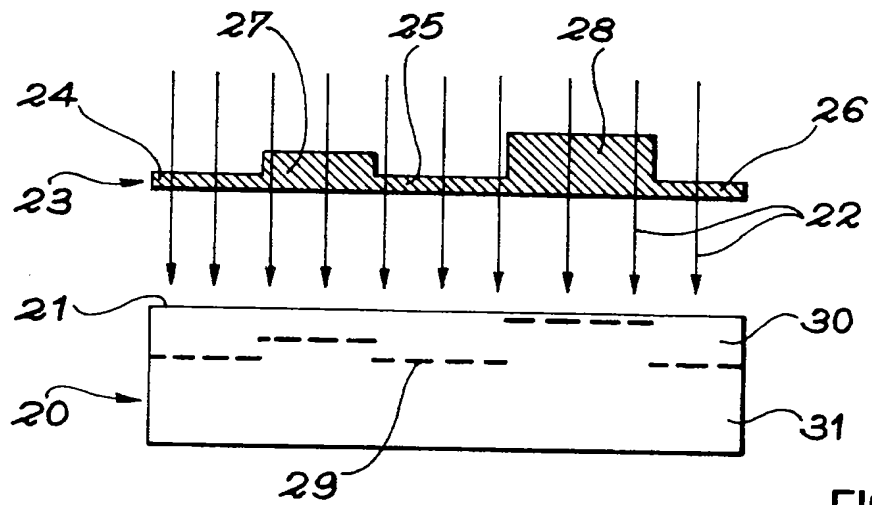


FIG. 5

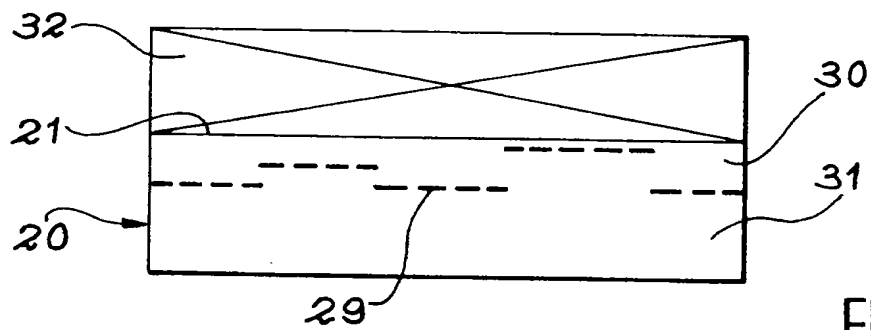


FIG. 6

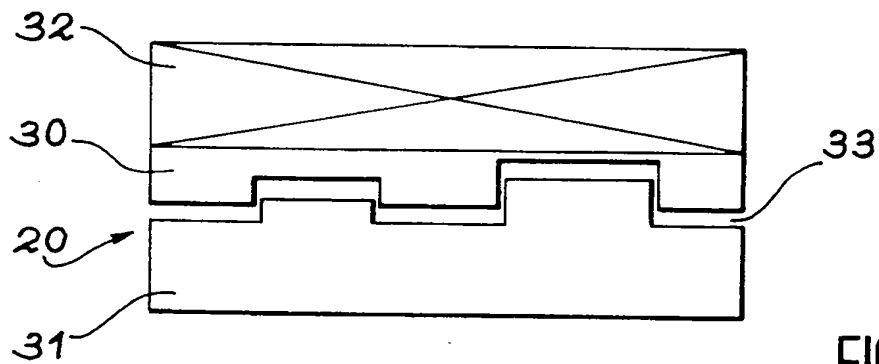
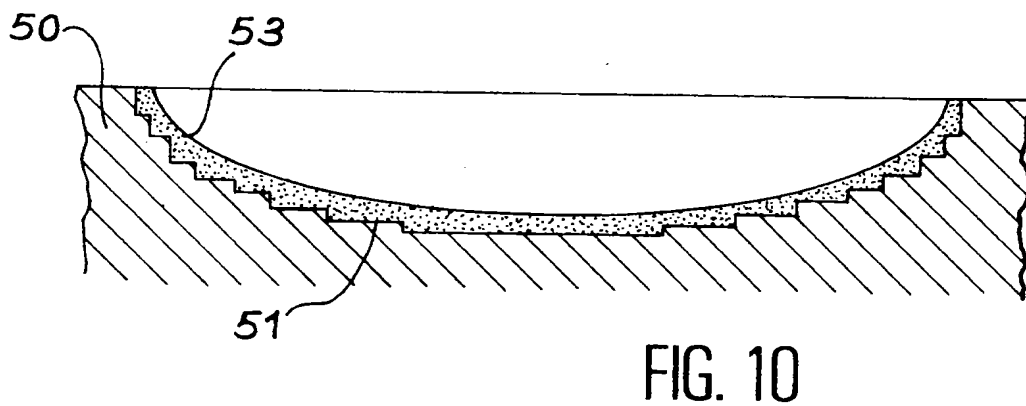
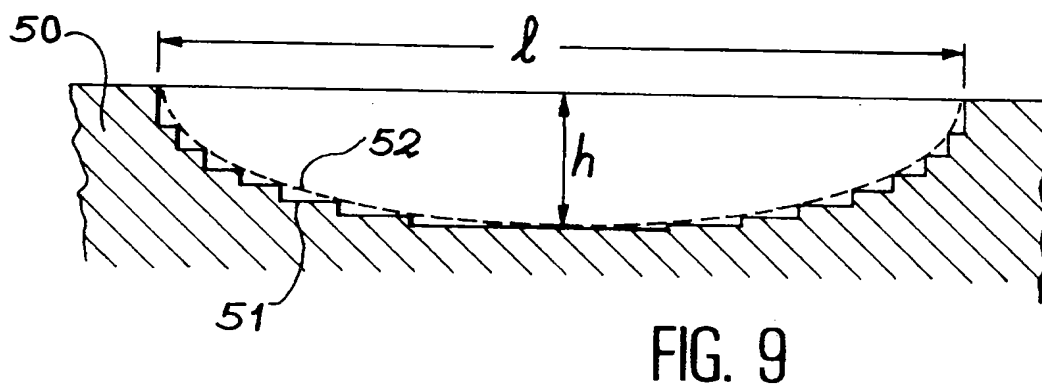
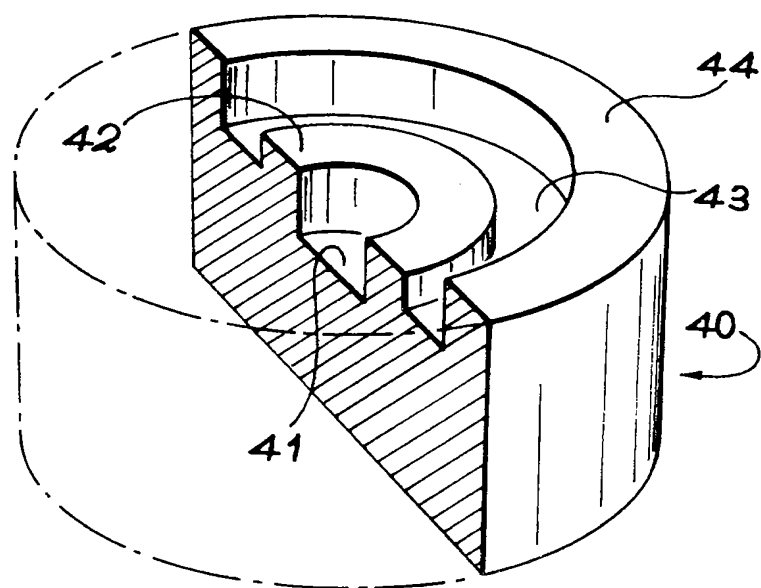


FIG. 7





Office européen
des brevets

RAPPORT DE RECHERCHE EUROPEENNE

Numero de la demande
EP 94 40 2969

DOCUMENTS CONSIDERES COMME PERTINENTS			
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes	Revendication concernée	CLASSEMENT DE LA DEMANDE (Int.Cl.6)
D,A	EP-A-0 533 551 (COMMISSARIAT A L'ENERGIE ATOMIQUE) * abrégé; figures 2-4 *	1	G02B5/18 G02B6/12
A	US-A-4 717 683 (L.C.PARRILLO, S.J.COSENTINO, B.A.BERGAMI) * abrégé; figures 1,2 * * colonne 3, ligne 13 - ligne 43 *	3	
D,A	GB-A-2 211 991 (UNITED KINGDOM ATOMIC ENERGY AUTHORITY) * abrégé * * page 2, ligne 15 - ligne 25 *	2,6	
			DOMAINES TECHNIQUES RECHERCHES (Int.Cl.6)
			G02B
Le présent rapport a été établi pour toutes les revendications			
Lieu de la recherche LA HAYE		Date d'achèvement de la recherche 6 Février 1995	Examineur VAN DOREMALEN J.C.
<p>CATEGORIE DES DOCUMENTS CITES</p> <p>X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite F : document intercalaire</p> <p>T : théorie ou principe à la base de l'invention E : document de brevet antérieur, mais publié à la date de dépôt ou après cette date D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant</p>			

EPF FORM 1503 (04/92) (POURCE)